

First Named Inventor	Giuliano Imondi	<u>COMMUNICATION RE:</u> <u>FILING OF PRIORITY</u> <u>DOCUMENT</u> <u>UNDER 35 USC 119</u>
Serial No.	10/727,087	
Filing Date	December 2, 2003	
Group Art Unit	2818	
Examiner Name	Unknown	
Confirmation No.	6012	
Attorney Docket No.	400.226US01	
Title: A NO-PRECHARGE FAMOS CELL AND LATCH CIRCUIT IN A MEMORY DEVICE		

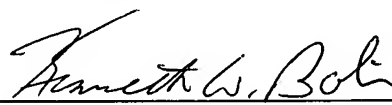
Mail Stop Missing Parts
 Commissioner for Patents
 P.O. Box 1450
 Alexandria, VA 22313-1450

In accordance with the requirements for claiming right of priority under 35 U.S.C. 119, enclosed for filing in the above-identified application is a certified copy of Applicant's priority application RM 2003 A 000329 (Italy) as filed on 07 July 2003.

Please contact the undersigned attorney at direct dial (612) 312-2211 if you have any questions.

Respectfully submitted,

Date: 3/11/04


 Kenneth W. Bolvin
 Reg. No. 34,125

Attorneys for Applicant
 Leffert Jay & Polglaze, P.A.
 P.O. Box 581009
 Minneapolis, MN 55458-1009
 Telephone 612-312-2200
 Facsimile 612-312-2250



Ministero delle Attività Produttive
Direzione Generale per lo Sviluppo Produttivo e la Competitività
Ufficio Italiano Brevetti e Marchi
Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per: **Invenzione Industriale**

N. RM2003 A 000329



*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

Con esclusione del Riassunto con disegno principale come specificato dal richiedente.

Roma, li **30 GEN. 2004**

IL DIRIGENTE

Elena Marinelli
Sig.ra E. MARINELLI

AL MINISTERO DELLE ATTIVITA' PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITA' AL PUBBLICO

MODULO A



N.G.

A. RICHIEDENTE (I)

1) Denominazione Micron Technology, Inc.
Residenza Boise, Idaho (U.S.A.) US codice _____

2) Denominazione _____
Residenza _____ codice _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome de Benedetti Fabrizio ed altri cod. fiscale _____
denominazione studio di appartenenza SOCIETA' ITALIANA BREVETTI S.p.A.
via Piazza di Pietra n. 39 città ROMA cap 00186 (prov) RM

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____
classe proposta (sez/cl/sci) _____ gruppo/sottogruppo _____ / _____

D. TITOLO

Cella "FAMOS" senza precarica e circuito latch in un dispositivo di memoria.

ANTICIPATA ACCESSIBILITA' AL PUBBLICO: SI ☐ NO ☒

SE ISTANZA: DATA ____ / ____ / ____

N. PROTOCOLLO

E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) IMONDI Giuliano 3) _____
2) _____ 4) _____

F. PRIORITA'

nazione o organizzazione tipo di priorità numero di domanda data di deposito allegato S/R

1) _____ / ____ / ____ / ____
2) _____ / ____ / ____ / ____

SCIOGLIMENTO RISERVE

Data N° Protocollo

____ / ____ / ____ / ____
____ / ____ / ____ / ____

G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICRORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

(Società dello Stato del Delaware)

lettera d'incarico segue

DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 1 PROV ☐ n. pag. 39 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)
Doc. 2) 1 PROV ☐ n. tav. 06 disegno (obbligatorio se citato in descrizione, 1 esemplare)
Doc. 3) 0 RIS ☐ lettera d'incarico
Doc. 4) 0 RIS ☐ designazione inventore
Doc. 5) 0 RIS ☐ documenti di priorità con traduzione in italiano
Doc. 6) 0 RIS ☐ autorizzazione o atto di cessione
Doc. 7) 0 nominativo completo del richiedente

8) attestati di versamento, totale Euro duecentonovantuno/80

obbligatorio

COMPILATO IL 07 / 07 / 2003

FIRMA DEL (I) RICHIEDENTE (I)

Gilberto Tonon(loc. Albo n. 83 SM)CONTINUA (SI/NO) NODEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA (SI/NO) SI

CAMERA DI COMMERCIO INDUSTRIA ARTIGIANATO E AGRICOLTURA DI

ROMAcodice 58

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

RM 2003 A 000329

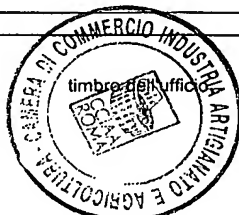
Reg. A

L'anno duemilatre, il giorno settedel mese di luglio

Il (i) richiedente (i) sopraindicato (i) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di n. 00 fogli aggiuntivi per la concessione del brevetto sopraportato.

ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE



L'UFFICIALE ROGANTE

Gilberto Tonon

RM 2003 A 000329

SIB BI3404R

400.226IT01

Descrizione dell'invenzione industriale dal titolo:
"CELLA "FAMOS" SENZA PRECARICA E CIRCUITO LATCH IN
UN DISPOSITIVO DI MEMORIA"

a nome di Micron Technology, Inc. (Società dello
Stato del Delaware)

di Boise, Idaho (U.S.A.)

ffffffefff

DESCRIZIONE

CAMPO TECNICO DELL'INVENZIONE

La presente invenzione si riferisce genericamente a dispositivi di memoria, e, in particolare, la presente invenzione si riferisce a celle e latch a fusibile in dispositivi di memoria.

BASE TECNICA DELL'INVENZIONE

I dispositivi di memoria flash si sono sviluppati in una sorgente di larga diffusione di memorie non volatili per un ampio campo di applicazioni elettroniche. I dispositivi di memoria flash tipicamente impiegano una cella di memoria a un solo transistor che consente elevate densità di memoria, alta affidabilità, e basso consumo di energia elettrica. Impieghi comuni per memorie flash includono calcolatori portatili, assistenti



**S.I.B.
ROMA**

digitali personali (PDA), telecamere digitali, e telefoni cellulari. Tipicamente possono essere immagazzinati in dispositivi a memoria flash codici di programma, dati di sistema quali il sistema basico di ingresso/uscita (BIOS) e altri tipi di firmware. La maggior parte dei dispositivi elettronici sono progettati con un singolo dispositivo a memoria flash.

I dispositivi a memoria flash tipicamente impiegano celle Floating gate Avalanche injection Metal Oxide Semiconductor (FAMOS), cui si fa anche riferimento come fusibili, per immagazzinare informazioni di dispositivo. Questa informazione può includere l'indirizzo di colonne o righe di scheda di memoria difettosa e configurazioni di circuiti analogici. I fusibili sono associati con dispositivi latch al fine di rendere i dati immagazzinati nel fusibile costantemente disponibili senza la necessità di una operazione di lettura di una tipica memoria flash attraverso gli amplificatori di lettura.

La figura 1 illustra uno schema di un tipico fusibile e latch della tecnica anteriore. In questo schema, il segnale READ per il transistor 105 a canale n si trova normalmente in uno stato logico

basso. Ciò interdisce il transistor 105 e isola il fusibile 101. Il segnale FUSE_CLEAR è a livello basso per interdire il transistor 103 a canale n, rendendolo inefficace. Il segnale PRE_CHARGE è a livello elevato per interdire il transistor 113 a canale p, rendendolo inefficace. Il segnale FSLTCH_BIAS è un segnale analogico che assicura un valore tra V_{cc} e V_{ss} . Questo segnale è normalmente a livello basso per attivare il transistor 111 al canale p, consentendo che il latch costituito dall'invertitore 107 e dai transistori 109 e 110, sia correttamente alimentato da V_{cc} . Per leggere il fusibile 101, i segnali PRE_CHARGE, FSLTCG_BIAS e READ sono attivati in sequenza in due intervalli di tempo separati. Nel primo intervallo di tempo, cui si fa riferimento usualmente come operazione di precarica, mentre i segnali READ e FSLTCH-BIAS sono ancora bassi, il segnale PRE_CHARGE va a livello basso e quindi il transistor 113 a canale p viene attivato per forzare il nodo OUTB a V_{cc} . Conseguentemente, l'invertitore 107, avendo sul suo ingresso V_{cc} porta a livello basso (V_{ss}) il nodo OUT e ciò, attraverso i transistori 109 e 110 conferma (aggancia) il nodo OUTB a V_{cc} . In un secondo intervallo di tempo, cui si fa di solito

riferimento come operazione di percezione o lettura, il segnale PRE_CHARGE va di nuovo a livello alto, per cui il transistor a canale p 113 viene disinserito, mentre il segnale READ va a livello alto, per cui il transistor 105 a canale n è portato in conduzione per collegare il fusibile 101 alla struttura del latch. In aggiunta, durante il secondo intervallo di tempo il segnale FSLTCH-BIAS va ad un livello intermedio tra V_{ss} e V_{cc} , in modo che il transistor 111 canale p sia ancora attivato, mentre viene fortemente ridotta la sua capacità di condurre corrente. In tal modo, la serie dei due transistori 111 e 109 a canale p non sarà in grado di contrastare la corrente eventualmente pilotata tra fusibile 101 e che scorre attraverso il transistor 105 a canale n. Se il fusibile 101 è programmato, passerà una debole corrente da V_{cc} fino a V_{ss} attraverso i transistori 111, 109, 105 ed il fusibile 101 e un segnale logico basso si trova sull'ingresso dell'invertitore 107. Conseguentemente, i transistori latch 109 e 110 ricevono una uscita a livello logico alto dall'invertitore 107 e conferma (latch) il livello logico basso sul nodo out B. Se il fusibile 101 è cancellato non passa corrente

attraverso questo, i transistori di latch 109 e 110 ricevono un livello basso logico dall'invertitore 107 e conferma (latch) il livello logico alto sul nodo OUTB.

Quando il circuito della tecnica precedente di fig. 1 deve essere azzerato (ciò usualmente avviene soltanto durante le operazioni di collaudo, mentre si trova ancora in fabbrica), il segnale fuse_clear è portato a livello logico alto per portare in conduzione il transistore 103 a canale n, mentre il segnale PRE_CHARGE è mantenuto a livello alto per interdire il transistore 113. Ciò consente che passi corrente da Vcc attraverso i transistori 111 e 109 a canale p ed il transistore 103 a canale n verso massa. Ciò fornisce un livello logico alto ai transistori 109 e 110 di latch, ponendo quindi il latch in una condizione "cancellata" per default prima che questo riceva il suo valore corretto dal fusibile 101.

Quando avviene una operazione di ripristino del dispositivo sia all'inserzione dell'energia elettrica e quando l'utilizzatore applica al dispositivo l'appropriato impulso di ripristino, ciò di solito richiede che, il latch, deve essere ricaricato con i corretti dati (cancellato" oppure



"programmato") dal fusibile 101. Ciò è gestito, come spiegato precedentemente in due distinti intervalli di tempo ed è comunemente identificato come operazione di precarica e di rilevamento. L'operazione di precarica riduce la velocità alla quale la memoria può rispondere dopo che è stata subita una condizione di ripristino. Un problema aggiuntivo consiste nel fatto che se un impulso di ripristino viene arrestato troppo presto per una qualche ragione, il valore corretto può non essere ricaricato nel latch e questa condizione di errore può non essere rivelabile prima che si verifichino errori aggiuntivi dai dati di latch alterati.

Per le ragioni sopra elencate, e per altre ragioni esposte in quanto segue che diverranno chiare a coloro che sono esperti nel ramo dalla lettura e comprensione della presente descrizione, vi è una necessità nella tecnica per un circuito di fusibile e di latch che non richieda una operazione di precarica.

SOMMARIO

I problemi sopra menzionati con la precarica di un circuito di fusibile e latch ed altri problemi sono di competenza della presente invenzione e verranno compresi leggendo e studiando

la seguente descrizione.

Le varie forme di realizzazione si riferiscono ad un circuito di fusibile e latch che può essere letto dopo una operazione di inizializzazione o di ripristino che si verifica soltanto durante l'inserzione dell'alimentazione di energia elettrica, senza precarica dal fusibile. Il circuito include un fusibile che ha o uno stato programmato oppure uno stato cancellato. Il fusibile, in una prima forma di realizzazione, è una cella Floating gate Avalanche injection Metal Oxide Semiconductor (FAMOS). Un latch che immagazzina o lo stato programmato o lo stato cancellato dal fusibile viene accoppiato al fusibile attraverso un circuito di trasferimento. Un circuito di lettura di fusibile viene accoppiato al fusibile e un segnale READ, al fine di rilevare la condizione del fusibile.

Il circuito di trasmissione, in una forma di realizzazione, è una porta di trasferimento. Questo circuito isola il latch in risposta al segnale PRE_CHARGE in modo tale che lo stato immagazzinato nel latch rimanga dopo che il segnale di lettura indica il completamento di un'operazione di lettura.

Altre forme di realizzazione dell'invenzione includono metodi ed apparecchi di ambito variabile.

BREVE DESCRIZIONE DEI DISEGNI

La figura 1 mostra uno schema di un tipico fusibile a precarica della tecnica anteriore.

La figura 2 mostra lo schema a blocchi di una prima forma di realizzazione della cella e circuito latch FAMOS senza precarica della presente invenzione.

La figura 3 mostra uno schema a blocchi di una prima forma di realizzazione di un circuito pilota della presente invenzione.

La figura 4 mostra lo schema di una forma di realizzazione della cella FAMOS senza precarica e circuito latch secondo la forma di realizzazione di figura 2.

La figura 5 mostra uno schema di una forma di realizzazione alternativa della cella FAMOS e circuito latch senza precarica secondo la forma di realizzazione di figura 2.

La figura 6 mostra uno schema a blocchi di una forma di realizzazione di un sistema di memoria che include il circuito latch e la cella FAMOS senza precarica della presente invenzione.

DESCRIZIONE PARTICOLAREGGIATA

Nella seguente descrizione particolareggiata dell'invenzione, si fa riferimento ai disegni allegati che ne formano parte, in cui viene mostrato, a titolo di esempio forme di realizzazione specifiche secondo la quale l'invenzione può essere realizzata in pratica. Nei disegni, numeri simili descrivono componenti sostanzialmente simili in tutte le varie viste. Queste forme di realizzazione descritte con dettagli sufficienti acconsentire a coloro che sono esperti nel ramo a realizzare in pratica l'invenzione. Si possono impiegare altre forme di realizzazione e si possono apportare variazioni strutturali, logiche ed elettriche senza allontanarsi dall'ambito della presente invenzione. La seguente descrizione particolareggiata, conseguentemente, non deve essere considerata in senso limitativo, e l'ambito della presente invenzione è definito soltanto dalle rivendicazioni allegate e dai loro equivalenti.

La figura 2 illustra uno schema a blocchi di una prima forma di realizzazione di un circuito latch e cella FAMOS senza precarica della presente invenzione. Il circuito include una cella 201 a



transistore FAMOS flash che è successivamente identificata come fusibile. Il fusibile 201 ha due condizioni: cancellata e programmata. Nella condizione cancellata, il transistore FAMOS che costituisce il fusibile 201 è in grado di condurre corrente verso massa. Nello stato programmato, il transistore non può condurre corrente. Un segnale che per la maggior parte dell'applicazioni raggiunge la tensione di circa 4,5V, è collocata su una WORDLINE al fine di leggere i dati dal fusibile 201. L'operazione di lettura del fusibile 201 è ben nota nella tecnica e non viene ulteriormente discussa.

Un circuito 203 di lettura FAMOS è accoppiato al fusibile 201 sia per isolare il fusibile 201 oppure per consentire che i dati del fusibile vengano letti in estrazione, a seconda della condizione dei segnali di ingresso FSLATCH_BIAS e READ. Una forma di realizzazione per generare questi impulsi è descritta successivamente facendo riferimento al circuito pilota di figura 3.

Il segnale FSLATCH_BIAS, in una forma di realizzazione, è un segnale analogico normalmente ad un valore intermedio tra V_{cc} e massa tale segnale che riduce la corrente del circuito di

lettura 203 per consentire la corretta rilevazione del fusibile 201. Il segnale READ è normalmente un segnale a livello basso che isola il fusibile 201 dal resto del circuito. Quando READ è alto, il circuito di lettura 203 viene abilitato e si può leggere lo stato del fusibile.

Un segnale FUSE_CLEAR azzerava il latch 211 in una condizione di default. In una forma di realizzazione, lo stato di default è un livello logico alto. Quando il segnale FUSE_CLEAR va a livello logico alto, un circuito 209 di azzeramento imposta il latch allo stato logico alto. Questo è lo stato di cancellazione del fusibile 201. Una forma di realizzazione alternativa impiega uno stato logico basso come stato di default e/o uno stato di livello logico basso per il segnale FUSE_CLEAR.

Nel funzionamento, il circuito 200 viene inizializzato da un ripristino all'inserzione dell'alimentazione elettrica e il latch del fusibile si suppone che sia inizialmente azzerato (cioè, nella condizione corrispondente al fusibile cancellato). Ciò non è obbligatorio per il corretto funzionamento dell'invenzione, che opera correttamente anche con il latch inizialmente nella

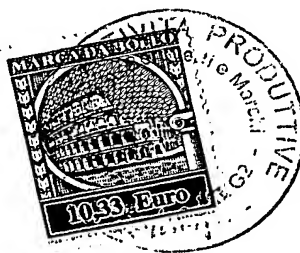
condizione opposta. In ogni caso, l'azzeramento iniziale del latch può essere ottenuto in vari modi, ad esempio dividendo il segnale RESB di applicazione dell'energia elettrica in due parti ed usando la prima parte per generare il segnale FUSE_CLEAR. Come discusso successivamente facendo riferimento alla figura 3, il segnale READ è a livello alto mentre il segnale FSLTCH_BIAS è ad un valore intermedio tra V_{cc} e massa e i segnali FSLATCH_BIAS durante l'operazione di ripristino all'attacco dell'energia elettrica. Se il fusibile è cancellato (cioè la cella FAMOS è in conduzione). Ciò fa in modo che il circuito 203 di lettura FAMOS generi un segnale a livello logico basso su FUSE_READ_b e, conseguentemente, un segnale a livello logico alto sull'uscita dell'invertitore 205. Il segnale FUSE_CLEAR si suppone che sia basso durante questa operazione.

Il segnale READ ed il suo inverso, READ_b, abilita una porta di trasmissione 207 per consentire al segnale logico dall'invertitore 205 di essere immesso nel latch 211. Questo segnale è ora egualmente il segnale OUT. La porta 207 di trasmissione o altro tipo di circuito di trasferimento/isolamento isola il latch dal resto

del circuito quando questo non è abilitato. Forme di realizzazione alternative possono impiegare altri tipi di circuiti di trasferimento/isolamento rispetto alla porta di trasmissione della presente invenzione. Per esempio, si può impiegare un circuito buffer ad alta impedenza per svolgere una funzione sostanzialmente analoga.

Dopo che il fusibile è stato programmato (cioè non conduttore) si può effettuare una operazione di lettura portando a livello alto WORDLINE. Se READ è anche esso a livello logico alto, ciò fa in modo che l'uscita del circuito 203 di lettura FAMOS sia a livello logico alto (cioè, FUSE_READ_b = alto). Conseguentemente, l'uscita dell'invertitore 205, FUSE_READ è un segnale a livello logico basso. Dato che READ e READ_b sono attivi, la porta di trasmissione 207 viene attivata e il segnale logico basso è impostato nel latch 211 ed è ora il segnale OUT.

In ambedue i casi in cui la cella FAMOS è cancellata o programmata, il contenuto della cella FAMOS è direttamente trasferito al latch, mentre il segnale READ è a livello alto, cioè, durante l'operazione di ripristino (segnali RESB oppure RP# bassi). Conseguentemente, la differenza di un



fusibile della tecnica antecedente, la presente invenzione fornisce il contenuto del fusibile 201 già nel latch 211 non appena è stata completata l'operazione di ripristino. Non vi è alcuna necessità di precaricare il circuito 200 a latch del fusibile, consentendo quindi che un circuito di memoria includente il circuito latch a fusibile risponda più rapidamente alle operazioni di lettura del latch. Una implementazione di questa schema a blocchi è illustrata in quanto segue facendo riferimento alla figura 4.

La figura 3 illustra una forma di realizzazione per un circuito pilota della presente invenzione. Questa figura è per scopi illustrativi soltanto e non limita la presente invenzione ad un qualsiasi circuito per generare i segnali richiesti per il corretto funzionamento della cella FAMOS senza precarica e del circuito latch.

Una porta NAND 301 ha un ingresso collegato ad un segnale "RESb" di azzeramento all'applicazione dell'energia elettrica. Il segnale RESb è a livello basso quando si verifica una condizione di azzeramento all'inserzione dell'energia elettrica.

Un circuito 305 CAMRES_PULSE_GENERATOR genera un segnale che indica la condizione di azzeramento

dell'utilizzatore. Ciò può avvenire per effetto che un utilizzatore avvia un ripristino in opposizione ad una condizione di ripristino all'alimentazione elettrica. Il circuito 35 CAMRES_PULSE_GENERATOR, in una forma di realizzazione genera un impulso che va in basso che è basso per un tempo prefissato. Il generatore 305 può essere un circuito mono-stabile che genera un impulso basso (CAMRES_PULSE), avente una larghezza di circa 30 ns, sul fronte di caduta del ripristino da parte dell'utilizzatore. Tuttavia, forme di realizzazione alternative impiegano altri generatori, condizioni e larghezze di impulso per indicare la condizione di ripristino da parte dell'utilizzatore.

Il CAMRES_PULSE viene immesso nella porta NAND 301. La porta NAND 301 pone quindi in uscita un segnale impulsivo a livello logico alto (READ) ogni volta che si presenta una condizione di azzeramento all'alimentazione o una condizione di ripristino da parte dell'utilizzatore. READ, conseguentemente, è un segnale di indicazione di azzeramento attivo alto. Altre forme di realizzazione impiegano altri stati e/o altri tipi di logica per indicare una condizione di ripristino per l'alimentazione di energia elettrica o da parte dell'utilizzatore.

Un invertitore 307 ha il suo ingresso collegato al segnale READ e pone in uscita il segnale logico READ_b. READ_b in ogni caso ha il valore logico opposto a quello del segnale READ ed è applicato al circuito 200 NO-PRECHARGE FAMOS CELL AND LATCH CKT.

Un FSLATCH_BIAS_GENERATOR 303 è collegato all'uscita della porta NAND 301. Un segnale READ impulsivo a livello alto fa in modo che il FSLATCH_BIAS_GENERATOR 303 generi il segnale FSLATCH_BIAS verso il circuito 200 a latch a fusibile della presente invenzione. Il segnale FSLATCH_BIAS è una tensione che, una volta applicata al circuito 203 di lettura FAMOS di figura 2, riduce la corrente di un transistor di circuito di lettura ad un valore appropriato per consentire la corretta rilevazione della cella FAMOS 201. In una forma di realizzazione, il segnale FSLATCH_BIAS ha un valore intermedio tra V_{cc} e massa, che rende il transistor del circuito di lettura che pilota la corrente massima quando è a massa, mentre commuta in interdizione quel transistor quando a V_{cc} . Metodi per generare il segnale FSLATCH_BIAS dal segnale READ sono ben noti nella tecnica e non verranno discussi

ulteriormente.

Il segnale FUSE_CLEAR, in una forma di realizzazione, è accoppiato ad un segnale di ripristino all'attacco dell'alimentazione elettrica o a un segnale di ripristino di collaudo. Quando accoppiato ad un segnale di ripristino all'attacco dell'alimentazione elettrica, si deve evitare che i segnali FUSE_CLEAR e READ vadano contemporaneamente a livello logico alto, e, in aggiunta, il segnale FUSE_CLEAR deve precedere il segnale READ. Ciò può essere ottenuto facilmente con tecniche di progettazione convenzionali. Quando questo segnale va a livello alto durante un'operazione di ripristino, il latch del fusibile viene azzerato ad un valore di default. Forme di realizzazione alternative impiegano altri livelli logici o metodi per generare questo segnale.

Per scopi di chiarezza, lo schermo a blocchi di figura 3 mostra soltanto una cella FAMOS a precarica e circuito latch 200. Tuttavia, un tipico dispositivo di memoria può essere costituito da migliaia di questi circuiti.

La figura 4 mostra lo schema di una realizzazione dello schema a blocchi della cella FAMOS senza precarica e del circuito latch 200 di



figura 2. La presente invenzione non è limitata ad una qualsiasi architettura circuitale per generare lo stesso o risultati simili del circuito 200 latch a fusibile per cui il latch mantiene il contenuto del fusibile anche dopo una operazione di ripristino.

Il circuito 200 include la cella 201 FAMOS che comprende l'ingresso di lettura WORDLINE. IL fusibile 201 e le sue caratteristiche operative rilevanti erano state discusse precedentemente.

Il circuito latch 400 è costituito da quattro transistori 412-415. Due dei transistori sono transistori 414 e 415 a canale n. Gli altri due transistori sono transistori 412 e 413 a canale p. Forme di realizzazione alternative possono impiegare una diversa architettura per formare il circuito latch 400.

Un transistore 405 a canale n viene impiegato come circuito di ripristino in unione al segnale FUSE_CLEAR. Quando questo segnale è a livello logico alto, il transistore 405 viene attivato e conduce in modo che OUT_b sia a livello logico basso e, conseguentemente, OUT sia a livello logico alto. Il circuito latch 400 viene quindi ripristinato ad uno stato di livello logico alto

per default.

Nella forma di realizzazione illustrata in figura 4, un transistor 407 a canale p "pulls up" il nodo FUSE_READ_b. E' possibile rendere più facile la lettura della cella 201 a fusibile riducendo la capacità di pilotaggio del transistor 407, applicando alla sua porta la corretta tensione FSLTCH_BIAS. Risultati analoghi possono essere ottenuti in forme di realizzazione alternative collegando il gate del transistor 407 a V_{ss} e ingrandendo la larghezza di canale della cella. Ancora altre forme di realizzazione possono ottenere risultati sostanzialmente analoghi con diversi metodi e/o componenti circuitali.

Supponendo che il fusibile 201 sia cancellato (cioè, conduttore), quando WORDLINE è a livello logico alto per una operazione di lettura e READ è a livello logico alto, il transistor 403 accoppiato alla linea READ viene attivato. Il segnale FSLATCH_BIAS è normalmente ad una tensione intermedia tra V_{cc} e V_{ss} , in modo che il transistor 407 a canale p mantenga il passaggio di corrente attraverso questo inferiore a quello che il fusibile 201 è in grado di alimentare.

FUSE_LATCH_b, conseguentemente, viene pilotato

ad una tensione inferiore alla soglia dell'invertitore 409. L'invertitore 409 produce un segnale a livello logico alto, FUSE_READ come ingresso ad una porta 411 di trasmissione.

Il segnale READ che è a livello alto e, quindi READ_b è a livello basso attiva la porta di trasmissione 411. Il segnale FUSE_READ a livello logico alto è posto in uscita verso il circuito 400 di latch. Conseguentemente OUT è mantenuto a livello logico alto.

Supponendo che il fusibile 201 sia programmato (cioè non conduttore), quando viene fatto un tentativo per leggere il fusibile 201, il transistor 407 a canale p "pulls up" il nodo FUSE_READ_b allo stato di livello logico alto. FUSE_READ è quindi un segnale a livello logico basso. Quando la porta 411 di trasmissione viene attivata dai segnali READ e READ_b, il segnale basso logico viene posto in uscita verso il circuito latch 400. OUT è ora un segnale basso logico.

Dopo l'applicazione dell'energia elettrica, se il dispositivo di memoria è azzerato dall'utilizzatore (ad esempio con il segnale esterno RP#), READ va nello stato di livello logico

alto e attiva il transistorore 403 a canale n. Dato che il fusibile 201 è stato programmato e non pilota corrente, il nodo FUSE_READ_b è ancora portato in alto ad uno stato di livello logico alto. Conseguentemente, il segnale OUT non cambia dopo un'operazione di azzeramento. Il valore immagazzinato nel circuito latch a fusibile 200 è disponibile per impiego immediato senza attendere che venga ricaricato nel latch come richiesto nella tecnica anteriore.

La figura 5 illustra una architettura circuitale alternativa dello schema a blocchi del circuito 200 a latch a fusibile della figura 2. Questa forma di realizzazione permette di ottenere gli stessi risultati della forma di realizzazione di figura 4 ma impiega un numero maggiore di transistori.

Questa forma di realizzazione è costituita dalla medesima cella (fusibile) FAMOS e circuito latch 400 come impiegato nella figura 4. In aggiunta, il transistorore 405 FUSE_CLEAR, il transistorore 403 READ a canale n, ed il transistorore 407 di limitazione di corrente a canale p sono impiegati allo stesso modo.

Un transistorore 501 a canale p viene impiegato



per porre il latch 400 nella condizione "programmata" mentre un transistor 501 a canale n pone il latch 400 nella condizione "cancellata". Questi transistori 501 e 502 sono controllati da un circuito di controllo che comprende porte logiche 503-505 al fine di porre il latch 400 nella condizione appropriata.

In una prima forma di realizzazione, il circuito di controllo logico include una porta NAND 503 con un ingresso accoppiato al nodo FUSE_READ_b e l'altro ingresso accoppiato al segnale READ. Un invertitore 504 ha un ingresso accoppiato al segnale READ e genera il segnale READ_b. Una porta NOR 505 ha un ingresso accoppiato al nodo FUSE_READ_b ed un altro ingresso accoppiato al segnale READ_b. Altre forme di realizzazione impiegano altre configurazioni di porte logiche per ottenere sostanzialmente gli stessi risultati.

Se il fusibile è cancellato, FUSE_READ_b è a livello logico basso. Conseguentemente, READ_b è a livello logico alto ed il segnale READ_bb è anche a livello alto. In questo caso, il transistor 502 "cancellato" a canale n viene attivato ed il transistor 501 "programmato" a canale p viene interdetto. Il latch 400 è caricato con uno stato

logico alto. Il segnale OUT, conseguentemente, è ora un livello alto.

Se il fusibile è programmato, FUSE_READ_b è a livello logico alto. Conseguentemente, READ_b è un livello logico basso e READ_bb è anche un livello basso. In questo caso, il transistor 501 "programmato" a canale p viene attivato ed il transistor "cancellato" a canale n viene interdetto. Il latch è caricato con uno stato logico basso. Il segnale OUT, conseguentemente, è ora un livello basso.

La figura 6 illustra uno schema a blocchi funzionale di un dispositivo di memoria 600 di una forma di realizzazione della presente invenzione che è accoppiato ad un elaboratore 610. L'elaboratore 610 può essere un microprocessore, un processore, un qualche o un qualche altro tipo di circuiteria di controllo. Il dispositivo 600 di memoria e il controller 610 formano parte di un sistema elettronico 620. Il dispositivo 600 di memoria è stato semplificato per focalizzare le caratteristiche della memoria che sono utili nella comprensione della presente invenzione.

Il dispositivo 600 di memoria include una schiera di celle di memoria 630. Le celle di

memoria sono celle di memoria a gate flottante non volatili e la schiera 630 di memoria è disposta in banchi di righe e colonne. In una forma di realizzazione, la schiera di memoria è una architettura del tipo NAND. In un'altra forma di realizzazione, la schiera di memoria è una architettura del tipo NOR. La presente invenzione non è limitata ad uno qualsiasi dei tipi di architettura di schiera di memoria. La cella FAMOS senza precarica ed il circuito latch della presente invenzione possono essere collocati nella schiera 630 di memoria o qualsiasi altra collocazione del dispositivo 600.

Un circuito 640 buffer di indirizzo è disposto per agganciare segnali di indirizzo forniti sui collegamenti di ingresso di indirizzo A0-Ax 642. Segnali di indirizzo sono ricevuti e decodificati da un decodificatore 644 di riga ed un decodificatore 646 di colonna per accedere alla schiera 630 di memoria. Si comprenderà da parte di coloro che sono esperti nel ramo, con l'aiuto della presente descrizione, che il numero di collegamenti di ingresso di indirizzo dipende dalla densità ed architettura della schiera 630 di memoria. Cioè, il numero di indirizzi aumenta con il conteggio di



celle di memoria aumentato ed i conteggi aumentati di banchi e blocchi.

Il dispositivo 600 di memoria legge dati nella schiera 630 di memoria rilevando variazioni di tensione o corrente nelle colonne di schiera di memoria impiegando la circuiteria 650 di rilevamento/aggancio. La circuiteria di rilevamento/aggancio, in una forma di realizzazione, è accoppiata per leggere ed agganciare una riga di dati dalla schiera 630 di memoria. La circuiteria 660 buffer di ingresso ed uscita dati è inclusa per la comunicazione di dati bi-direzionale su una molteplicità di collegamenti 662 di dati con il controller 610). La circuiteria 655 di scrittura/cancellazione è disposta per scrivere dati nella schiera di memoria.

La circuiteria 670 di controllo decodifica segnali disposti sui collegamenti 672 di controllo dall'elaboratore 610. Questi segnali sono impiegati per controllare le operazioni sulla schiera 630 di memoria, inclusa lettura dati, scrittura dati, ed operazioni di cancellazione. In una prima forma di realizzazione, la circuiteria 670 di controllo è un microcontrollore che esegue la forma di realizzazione dei metodi di terminazione di

ingresso di collaudo automatico della presente invenzione.

Il circuito 625 di generazione di selezione di chip genera segnali di selezione di chip per il dispositivo 600 di memoria. Questa circuiteria 625 impiega i collegamenti 642 di indirizzo dall'elaboratore 610 per generare l'appropriato segnale di selezione di chip a seconda dell'indirizzo presente sui collegamenti 642 di indirizzo.

La schiera 685 di latch e fusibili comprende la cella FAMOS senza pre-carica ed il circuito latch della presente invenzione. In questa forma di realizzazione, il circuito interagisce con i registri 680 di controllo, il circuito 655 di scrittura/cancellazione, il decodificatore 644 di riga, ed il decodificatore 646 di colonna.

Il dispositivo a memoria flash illustrato in figura 6 è stato semplificato per facilitare la comprensione base delle caratteristiche della memoria. Una comprensione più particolareggiata della circuiteria interna e delle funzioni delle memorie flash sono note a coloro che sono esperti nel ramo.

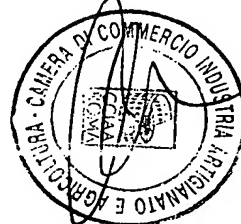
CONCLUSIONE

Riassumendo, la cella FAMOS senza precarica ed il circuito latch della presente invenzione consentono ad un dispositivo di memoria di leggere immediatamente dopo un'operazione di ripristino senza dovere attendere la precarica del latch con i dati dalla cella. Ciò viene ottenuto fornendo una architettura a fusibile e latch che mantiene i dati dopo l'operazione di ripristino.

Sebbene siano state qui illustrate e descritte forme di realizzazione specifiche, si comprenderà da parte di coloro che hanno ordinaria esperienza nel ramo che qualsiasi altra disposizione che è calcolata per ottenere lo stesso scopo può essere sostituita alle specifiche forme di realizzazione mostrate. Saranno chiari numerosi adattamenti dell'invenzione a coloro con ordinaria esperienza nel ramo. Conseguentemente, questa domanda è intesa proteggere qualsiasi variazione o modifica dell'invenzione. E' manifestamente inteso che questa invenzione sia limitata soltanto dalle rivendicazioni seguenti e dai loro equivalenti.

Il sottoscritto
percepisce un premio di 50.000.000

[Handwritten signature]



S.I.B.
ROMA

RM 2003 A 000329

RIVENDICAZIONI

1. Circuito latch e di fusibile comprendente:

un fusibile avente uno stato programmato oppure uno stato cancellato;

un latch che immagazzina uno degli stati programmato o lo stato cancellato;

un circuito di lettura di fusibile accoppiato al fusibile e a un segnale di indicazione di ripristino, il circuito di lettura di fusibile rilevando lo stato del fusibile; e

un circuito di trasferimento, accoppiato tra il circuito di lettura di fusibile ed il latch, per isolare il latch in risposta ad una operazione di lettura provocata dal segnale di indicazione di ripristino in modo tale che lo stato immagazzinato nel latch rimanga dopo che il segnale di indicazione di ripristino indica il completamento dell'operazione di lettura.

2. Circuito della rivendicazione 1 e inoltre includente un circuito di azzeramento accoppiato al latch per porre il latch in uno stato prestabilito.

3. Circuito della rivendicazione 2 in cui lo stato prestabilito è uno stato cancellato corrispondente a un livello logico alto.

4. Circuito della rivendicazione 1, in cui

lo stato programmato è uno stato logico basso e lo stato cancellato è uno stato logico alto.

5. Circuito della rivendicazione 1 ed ulteriormente comprendente un invertitore che accoppia il circuito di lettura del fusibile al circuito di trasferimento.

6. Circuito della rivendicazione 2, in cui il circuito di ripristino è un transistor a canale n che è attivato da un segnale di cancellazione di fusibile.

7. Circuito della rivendicazione 1, in cui il circuito di lettura di fusibile comprende un transistor a canale p la cui corrente di pilotaggio, applicando una tensione prestabilita al suo gate, viene ridotta per consentire una corretta lettura del fusibile.

8. Circuito della rivendicazione 1 in cui il fusibile è un transistor Floating gate Avalanche injection Metal Oxide Semiconductor.

9. Cella flash senza pre-carica e circuito latch comprendenti:

una cella flash avente uno stato programmato o uno stato cancellato;

un circuito latch che immagazzina uno dello stato programmato o lo stato cancellato dalla cella



flash;

un circuito di lettura di cella flash accoppiato alla cella flash ed un segnale di indicazione di ripristino, il circuito di lettura di cella flash rilevando lo stato della cella flash; e

una porta di trasmissione, accoppiato tra il circuito di lettura della cella flash ed il circuito latch, per isolare il circuito latch quando il segnale di indicazione di ripristino è inattivo e consentendo lo stato della cella flash attraverso il circuito latch quando è attivo il segnale di indicazione di ripristino.

10. Circuito della rivendicazione 9 in cui il circuito latch include una molteplicità di transistori organizzati per immagazzinare uno stato caricato.

11. Circuito della rivendicazione 9 in cui il circuito di lettura di cella flash include un transistor a canale p ed un transistor di "pull up" la cui corrente di pilotaggio, applicando una tensione prestabilita al suo gate, viene ridotta per consentire una corretta lettura della cella flash, accoppiata ad un transistor a canale n che viene attivato dal segnale di indicazione di

ripristino.

12. Circuito della rivendicazione 9 in cui la porta di trasmissione è ulteriormente controllata dall'inverso del segnale di indicazione di ripristino.

13. Cella flash e circuito latch comprendenti:

una cella flash avente uno stato programmato oppure uno stato cancellato che è letto in risposta ad un segnale di linea di parola attivo;

un circuito latch che immagazzina uno dello stato programmato o lo stato cancellato dalla cella flash;

un circuito di lettura di cella flash comprendente un transistor pull up" a canale p la cui corrente di pilotaggio, applicando la tensione prestabilita al suo gate, viene ridotta per consentire una lettura corretta della cella flash, accoppiata ad un transistor a canale n che viene attivato da un segnale di indicazione di ripristino in modo tale che un nodo tra i transistori a canale p e a canale n sia sottoposto a "pull up" verso uno stato logico alto quando è attivo il segnale di linea di parola, lo stato della cella flash è programmato, ed il transistor a canale n è in

conduzione;

un invertitore accoppiato al nodo per invertire lo stato logico alto ad uno stato logico basso; e

una porta di trasmissione, accoppiata tra l'invertitore ed il circuito latch per isolare il circuito latch quando il segnale di indicazione di ripristino è inattivo e per consentire lo stato logico basso attraverso il circuito latch quando il segnale di indicazione di ripristino è attivo.

14. Circuito della rivendicazione 13 in cui il nodo è a stato logico basso quando la linea di parola è attiva, lo stato della cella flash è cancellato, ed il transistor a canale n è attivato in modo che la porta di trasmissione consenta uno stato logico alto, risultante dall'invertitore attraverso il circuito latch quando il segnale di indicazione di ripristino è attivo.

15. Circuito della rivendicazione 13 3 ulteriormente comprendente un transistor di azzeramento accoppiato al circuito latch per ripristinare il circuito latch in uno stato noto.

16. Cella flash e circuito latch comprendenti:

una cella flash avente uno stato programmato

oppure uno stato cancellato che è letto in risposta ad un segnale di linea di parola attivo;

un circuito latch che immagazzina uno dello stato programmato o lo stato cancellato dalla cella flash;

un circuito di lettura di cella flash comprendente un transistor di "pull up" a canale p la cui corrente di pilotaggio, applicando una tensione prestabilita al suo gate è ridotta per consentire una corretta lettura della cella flash, accoppiato ad un transistor a canale n che viene attivato da un segnale di indicazione di ripristino in modo tale che un nodo tra i transistori a canale p e a canale n sia sottoposto a "pull up" verso uno stato logico alto quando il segnale di linea di parola è attivo, lo stato della cella flash è programmato, ed il transistor a canale n è portato in zona attiva;

un circuito analogico di controllo accoppiato al nodo e al segnale di indicazione di ripristino, il circuito logico di controllo generando un segnale di controllo di stato programmato ed un segnale di controllo di stato cancellato in risposta ad un livello di tensione del nodo e il segnale di indicazione di ripristino;



un primo transistorore di controllo, accoppiato al segnale di controllo di stato programmato, che pone il circuito latch nello stato programmato quando è attivo il segnale di controllo di stato programmato; e

un secondo transistorore di controllo, accoppiato al segnale di controllo di stato cancellato, che pone il circuito latch nello stato cancellato quando è attivo il segnale di controllo di stato cancellato.

17. Circuito della rivendicazione 16 in cui il circuito di controllo logico comprende:

una porta NAND avente un primo ingresso accoppiato al nodo ed un secondo ingresso accoppiato al segnale di indicazione di ripristino, la porta NAND generando il segnale di controllo di stato programmato;

una porta di invertitore avente un ingresso accoppiato al segnale di indicazione di ripristino e generante un segnale di indicazione di ripristino invertito; e

una porta NOR avente un primo ingresso accoppiato al nodo ed un secondo ingresso accoppiato al segnale di indicazione di ripristino inverso, la porta NOR generando il segnale di

controllo di stato cancellato.

18. Metodo per agganciare uno stato di fusibile, in un dispositivo di memoria, che non richiede una precarica dopo una condizione di ripristino, il metodo comprendendo:

leggere lo stato del fusibile;

se lo stato del fusibile è in uno stato programmato, memorizzare uno stato logico basso attraverso una porta di trasmissione in un circuito latch;

ripristinare il dispositivo di memoria; e

leggere lo stato logico basso dal circuito latch senza precaricare il circuito latch dal fusibile.

19. Metodo per agganciare uno stato di una cella Floating gate Avalanche injection Metal Oxide Semiconductor in un circuito latch in un dispositivo di memoria, il metodo comprendendo:

leggere lo stato della cella;

agganciare lo stato nel circuito latch;

isolare il circuito latch dalla cella;

ripristinare almeno una parte del dispositivo di memoria; e

leggere lo stato dal circuito latch senza precaricare il circuito latch dalla cella.

20. Sistema elettronico comprendente:

un elaboratore che genera segnali di controllo; e

un dispositivo di memoria, accoppiato all'elaboratore, che opera in risposta a segnali di controllo, il dispositivo di memoria avendo un circuito fusibile e latch che non richiede una operazione di precarica dopo una condizione di ripristino, il circuito comprendendo:

un fusibile avente uno stato programmato o uno stato cancellato;

un latch che immagazzina uno dello stato programmato o dello stato cancellato;

un circuito di lettura di fusibile accoppiato al fusibile ed un segnale indicatore di ripristino, il circuito di lettura di fusibile rilevando lo stato del fusibile; e

un circuito di trasferimento, accoppiato tra il circuito di lettura di fusibile ed il latch, per isolare il latch in risposta al segnale di indicazione di ripristino in modo che lo stato immagazzinato nel latch rimanga dopo che il segnale di indicazione di ripristino indica il completamento di una operazione di ripristino.

21. Sistema elettronico della rivendicazione

20 in cui il dispositivo di memoria è un dispositivo di memoria di tipo NAND.

22. Sistema elettronico della rivendicazione 21 in cui il dispositivo di memoria è un dispositivo di memoria di tipo NOR.

p.p. Micron Technology, Inc.

TORON
12 12 1981

Handwritten signature



RM 2003 A 000329

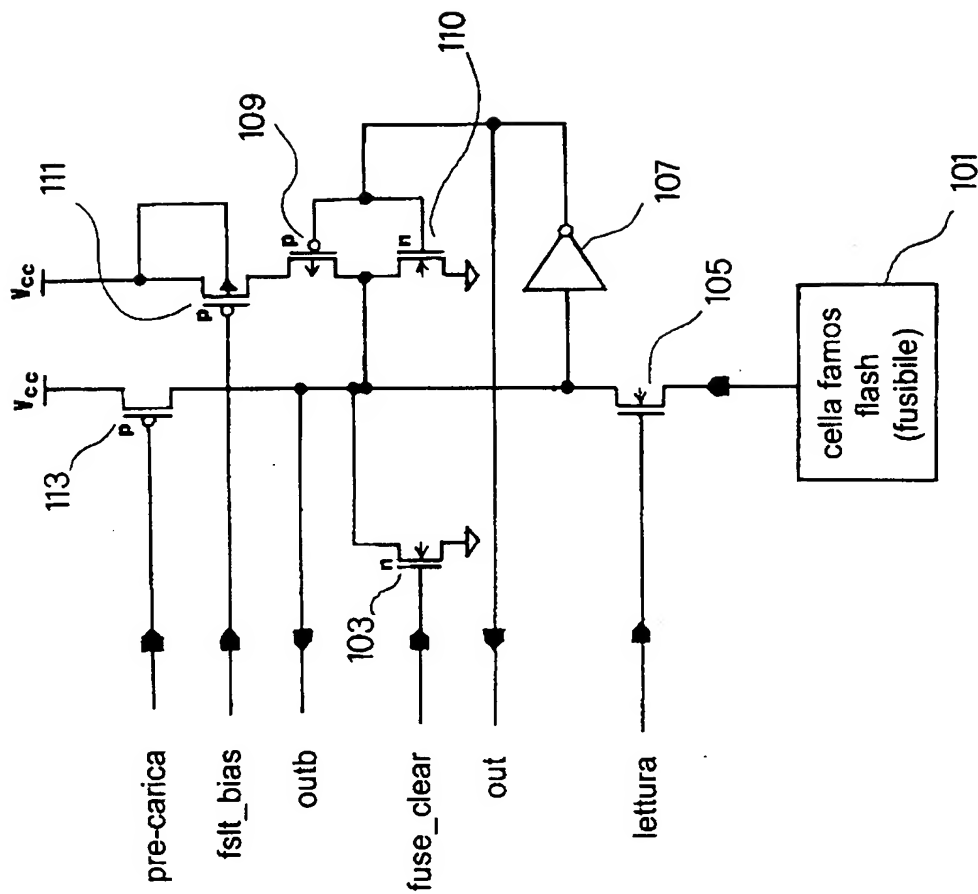


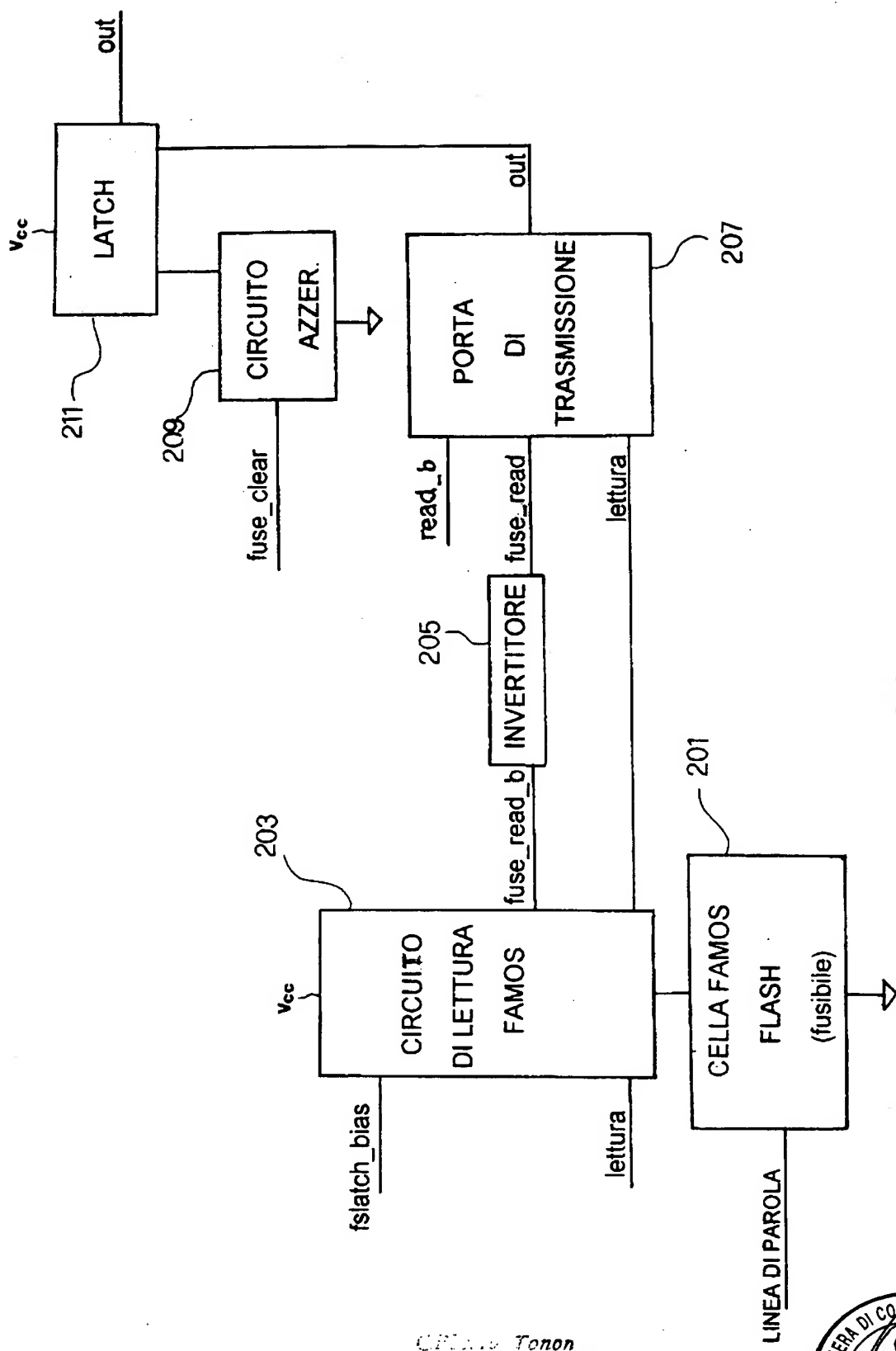
FIG.1
TECNICA ANTERIORE



Gilberto Tonon
(Isr. Albo n. 83 BA)

p.p. Micron Technology, Inc.

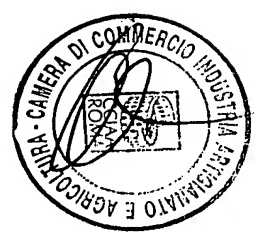
RM 2003 A 000329



200

FIG.2

[Handwritten signature]



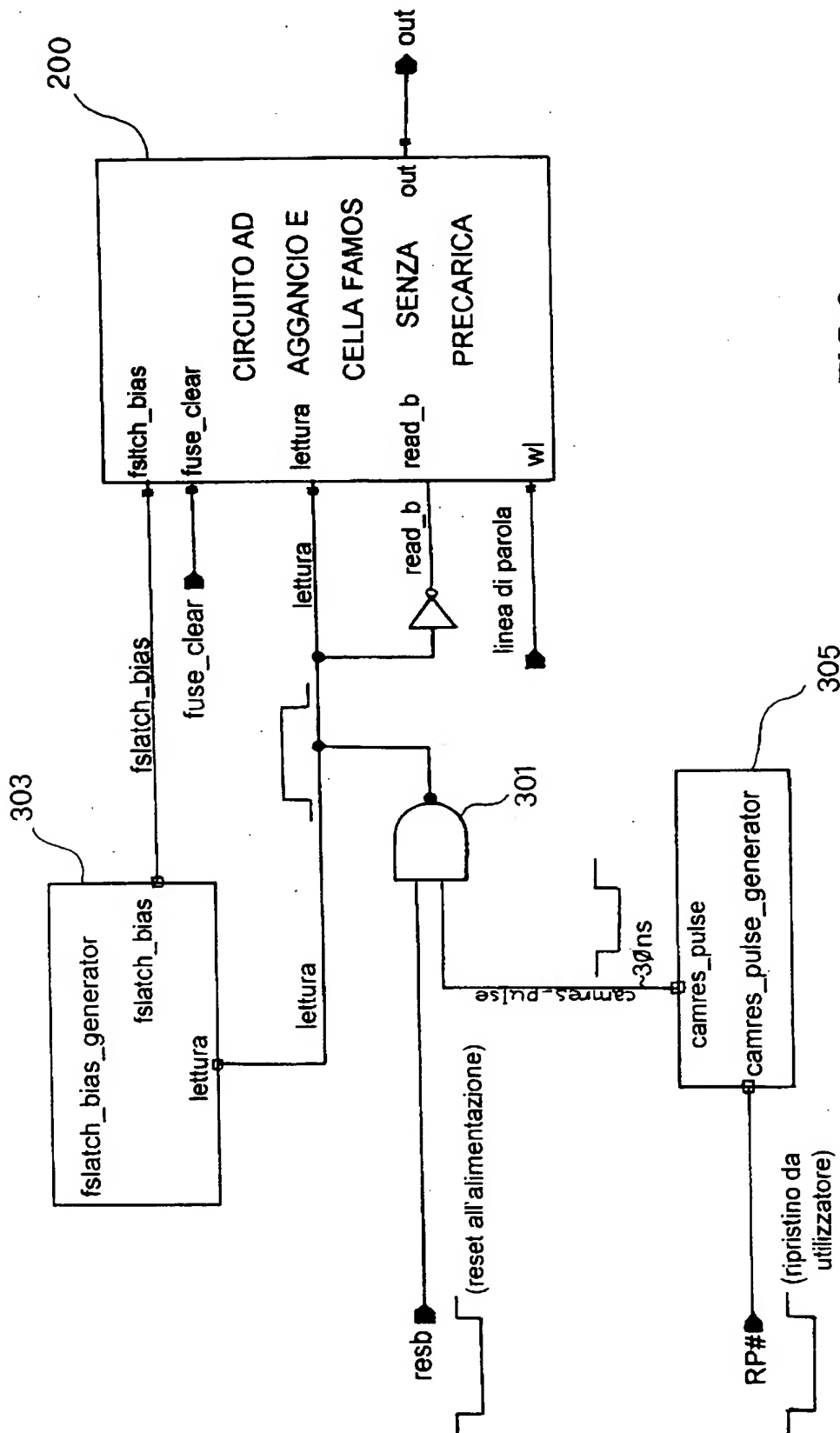
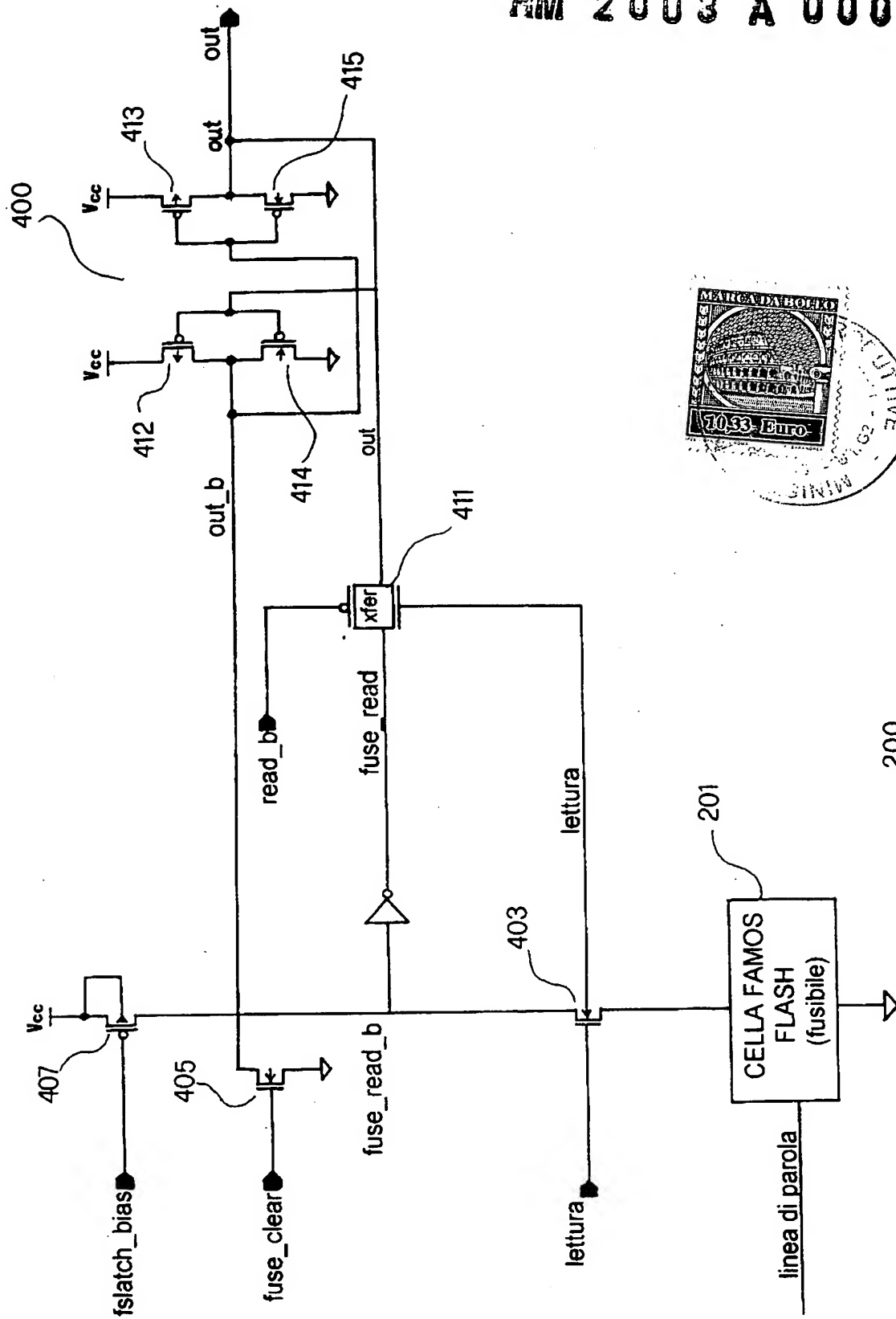


FIG.3

Agan

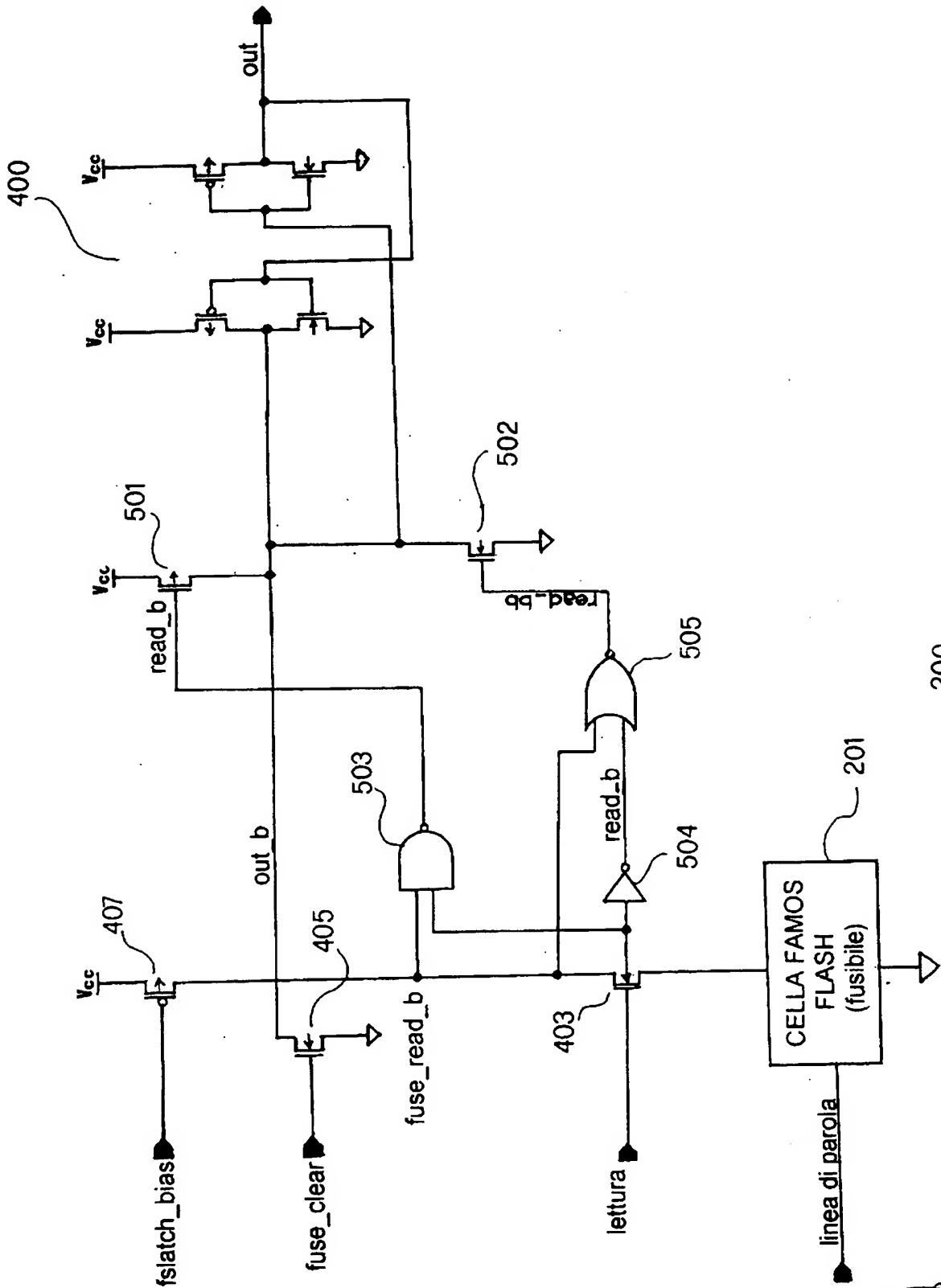




200

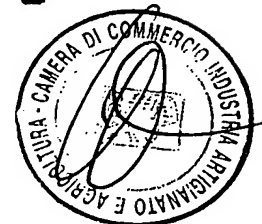
FIG.4





200

FIG.5



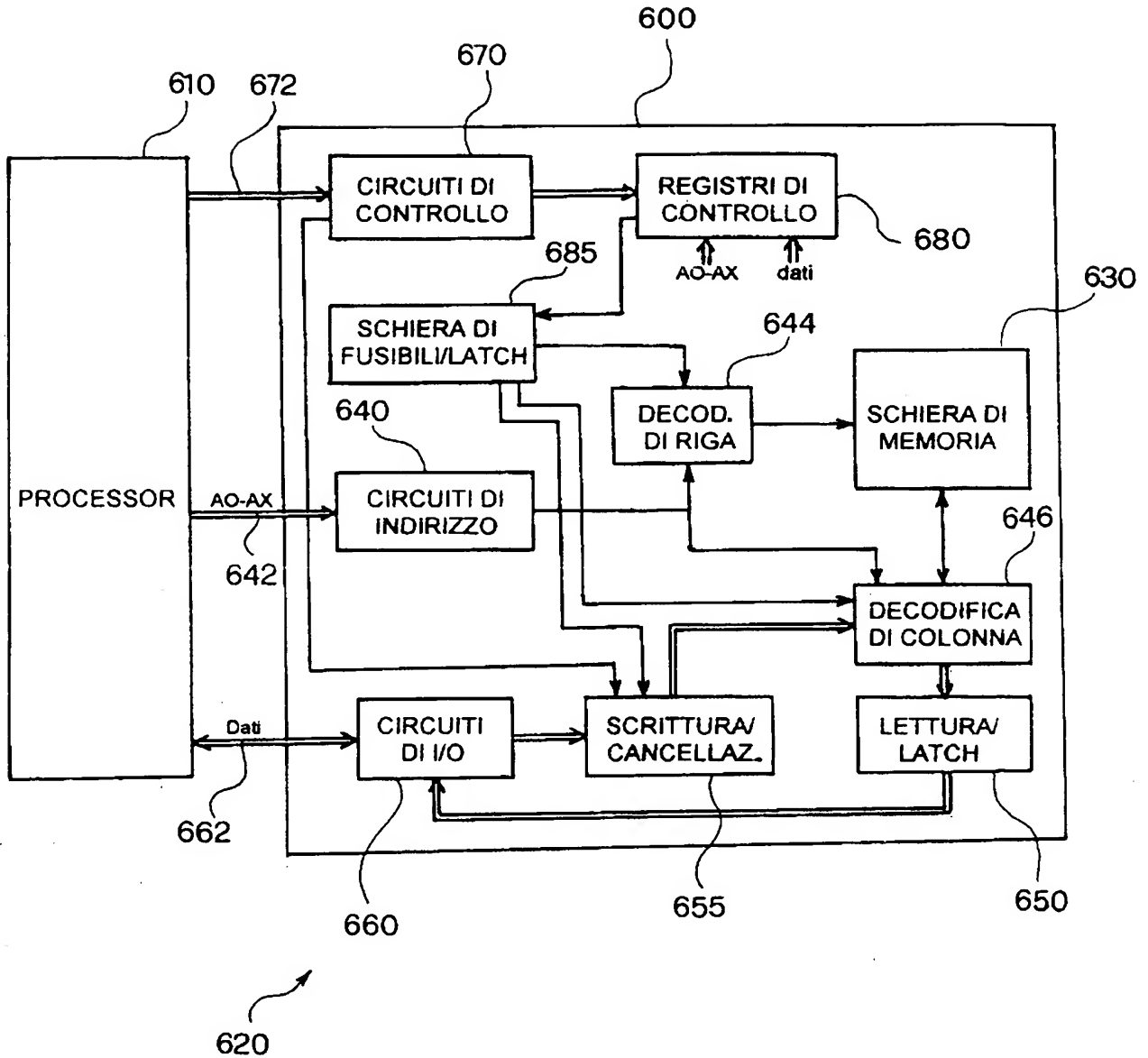


FIG.6

